SYSTEM OVERVIEW & INTERFACE SPECIFICATION

Handgewebtes Clack-Core-ROM Modul • Speicherung durch Fädeln durch den Ferritkern (‘1’) bzw. Vorbeifädeln (‘0’) • 40-Pin Steckcartridge kompatibel zu 3M Textool ZIF-40 • 16-Bit Sense-Wortbreite • Immunität gegen Stromausfall.

ZIF-40 CARTRIDGE PIN INTERFACE

Direktanschluss an den ZIF-Cartridge-Sockel des Controller-Baseboards.

- ZIF_PIN_1
- ZIF_PIN_2
- ZIF_PIN_3
- ZIF_PIN_4
- ZIF_PIN_5
- ZIF_PIN_6
- ZIF_PIN_7
- ZIF_PIN_8
- ZIF_PIN_9
- ZIF_PIN_10
- ZIF_PIN_11
- ZIF_PIN_12
- ZIF_PIN_13
- ZIF_PIN_14
- ZIF_PIN_15
- ZIF_PIN_16
- VCC_5V
- GND

WORD LINE MATRIX (WD 0 .. 31)

Adressauswahl-Treiberleitungen durch die Ringkern-Reihen.

- WORD_LINE_0
- WORD_LINE_1
- WORD_LINE_2
- WORD_LINE_3
- WORD_LINE_4
- WORD_LINE_5
- WORD_LINE_6
- WORD_LINE_7
- WORD_LINE_8
- WORD_LINE_9
- WORD_LINE_10
- WORD_LINE_11
- WORD_LINE_12
- WORD_LINE_13
- WORD_LINE_14
- WORD_LINE_15

16-BIT BITSENSE SINK LINES

Leseschleifen der 16 Bitspalten zur Erkennung eingefädelter Kerne.

- BITSENSE_0
- BITSENSE_1
- BITSENSE_2
- BITSENSE_3
- BITSENSE_4
- BITSENSE_5
- BITSENSE_6
- BITSENSE_7
- BITSENSE_8
- BITSENSE_9
- BITSENSE_10
- BITSENSE_11
- BITSENSE_12

TERMINATION & REFERENCE RAILS

Rückstrompfade, Impulsterminierung und Schirmung.

- ROPE_RET_A
- ROPE_RET_B
- CORE_BIAS_REF
- SHIELD_GND

40-Pin CLACK-BUS • Antigravity AI
Zero-Defect Hardware Bootloader
64-Word x 16-Bit Hand-Woven ROM
Christian Buchhas • Peter Prikasky
CLACK-MAINFRAME

Sheet: /
File: clack_core_rope_rom.kicad_sch

Title: Board 03: Clack-Core-ROM

Size: A3	Date: 2026-11-07	**Rev: v1.0**
KiCad E.D.A. 9.0.8		Id: 1/1